

Formalisasi algoritma aritmatika dan konstruksi terkait pada VHDL dengan HOL theorem prover = Formalization of arithmetic algorithm and the related constructions in VHDL by using HOL theorem prover / Dwi Teguh Priyantini

Dwi Teguh Priyantini, author

Deskripsi Lengkap: <https://lib.ui.ac.id/detail?id=20467987&lokasi=lokal>

---

Abstrak

**ABSTRAK**

Pada pengembangan sistem, dibutuhkan sebuah mekanisme untuk menjamin bahwa sistem tersebut berjalan dengan benar tanpa error atau *bug*. Sejauh ini, hal yang biasa dilakukan adalah dengan testing, tetapi hal ini sulit dilakukan untuk mencakup semua kemungkinan. Untuk sistem yang membutuhkan tingkat correctness yang tinggi, seperti misalnya pada hardware, perlu mekanisme yang dapat menjamin kebenaran program untuk semua kemungkinan input. Ada solusi lain yang dapat menjamin kebenaran program untuk semua kemungkinan input, yaitu dengan verifikasi formal. Verifikasi formal dilakukan dengan pemodelan matematika. Salah satu sistem yang membutuhkan tingkat correctness yang tinggi adalah sistem bilangan floating-point. Hal ini terkait dengan pengalaman yang dialami Intel pada tahun 1994. Salah satu bahasa standar dalam membangun sebuah sistem digital atau hardware adalah VHDL. Ada beberapa tools yang bisa dilakukan untuk verifikasi formal, salah satunya adalah HOL theorem prover. Penelitian ini melakukan formalisasi operasi aritmatika VHDL dan konstruksi terkait yang dilakukan dengan menggunakan HOL Theorem Prover. Hasilnya adalah sebuah framework yang berisi formalisasi beberapa algoritma aritmatika dasar VHDL dan konstruksi terkaitnya. Framework ini kemudian dapat digunakan untuk memverifikasi modul VHDL yang memanfaatkan aritmatika VHDL dan konstruksi terkaitnya.

---

**ABSTRACT**

In system development, a mechanism is needed to ensure that the system runs correctly without error or *bug*. So far, testing is a common solution, but it is hard to cover all error possibilities. For systems that require a high level of correctness, such as hardware systems, there is a need for a mechanism that can ensure the correctness of the program for all possible inputs. There is another solution to do the task, i.e. by formal verification. Formal verification is done by mathematical modeling. One system that requires a high level of correctness is the floating point number system. This is related to the experience of Intel in 1994. One of the standard languages in developing a digital system or a hardware is VHDL. There are several tools that can be used for formal verification, one of which is HOL Theorem Prover. This research conducts a formalization of VHDL arithmetic operation and the related constructions done by using HOL Theorem Prover. The result is a framework which contains the formalization of some basic VHDL arithmetic algorithms and the related constructions. This framework can then be used to verify VHDL modules that utilize the VHDL arithmetic and the related constructs.