

Perancangan dan Simulasi 1-bit Full Adder Berdaya 1,15 μ W dan Berkecepatan Tinggi untuk Mikroprosesor = Design and Simulation of 1.15 μ W-Power and High-Speed 1-bit Full Adder for Microprocessor

Mhd. Ridwan, author

Deskripsi Lengkap: <https://lib.ui.ac.id/detail?id=20518936&lokasi=lokal>

Abstrak

Kebutuhan akan rangkaian elektronika yang dapat beroperasi pada kecepatan tinggi dan hemat daya semakin meningkat. Full adder merupakan salah satu komponen terpenting dalam perangkat elektronika. Rangkaian ini digunakan untuk melakukan proses komputasi penambahan antara dua bilangan dalam mikroprosesor. Full adder dapat digunakan sebagai rangkaian inti dari rangkaian aritmatika lain seperti perkalian, pembagian dan pengurangan. Penelitian ini menjelaskan perancangan dan simulasi rangkaian full adder yang membutuhkan konsumsi daya yang lebih kecil dan berkecepatan lebih tinggi. Peningkatan kecepatan dan pengurangan daya pada full adder tersebut dilakukan dengan menerapkan teknik pass transistor logic dan multiplexer terbaru pada perancangan gerbang logika XOR. Proses perancangan dan simulasi rangkaian tersebut dilakukan dengan menggunakan software cadence virtuoso dan microwind. Adapun transistor-transistor yang digunakan untuk membentuk gerbang logika pada kedua simulator rangkaian full adder tersebut berukuran sebesar 90 nm. Full adder yang dirancang tersusun atas 20 buah transistor yang terdiri dari 14 buah transistor untuk gerbang logika XOR dan 6 buah transistor untuk gerbang logika AND. Simulasi rangkaian full adder tersebut dilakukan untuk mengetahui delay dan power dari rangkaian tersebut. Hasil simulasi tersebut dibandingkan dengan tujuh jenis rangkaian full adder lain yang dirancang pada penelitian lainnya. Full adder tersebut dibandingkan dengan full adder yang memiliki daya terendah dan full adder yang memiliki kecepatan tertinggi dari tujuh full adder yang dijadikan sebagai perbandingan. Hasil simulasi dengan microwind menunjukkan bahwa rangkaian full adder tersebut membutuhkan konsumsi daya sebesar 1,15 μ W. Full adder yang dirancang membutuhkan daya 6 % persen lebih rendah dibandingkan full adder 26 T N.B. full adder yang berdaya 1,59 μ W. Hasil simulasi dengan cadence virtuoso menunjukkan bahwa full adder yang dirancang memiliki nilai delay pada gerbang XOR dan gerbang logika AND masing-masing sebesar 2 ns dan 4 ns. Berdasarkan perhitungannya, full adder yang dirancang memiliki kecepatan 44,44 % lebih tinggi dibandingkan 17 T full adder dan 19 T full adder yang memiliki nilai delay sebesar 6 nsThe need for electronic circuits that can operate at high speeds and low power is increasing. Full adder is one of the most important components in electronic devices. This circuit is used to perform the computation of addition between two numbers in the microprocessor. Full adders can be used as the core circuit of other arithmetic sequences such as multiplication, division and subtraction. This study describes the design and simulation of a full adder circuit that requires lower power consumption and has higher speed. The increase in speed and power reduction in the full adder is carried out by applying pass transistor logic and multiplexer techniques in the design of XOR logic gates. The process of designing and simulating the circuit was carried out using cadence virtuoso and microwind softwares. The transistors used to form logic gates in the two full adder circuit simulators are 90 nm in size. The designed full adder consists of 20 transistors consisting of 14 transistors for XOR logic gates and 6 transistors for AND logic gates. Simulation of the full adder circuit is carried out to determine the delay and power of the circuit. The simulation results were compared with seven other types of full adder circuits designed in other studies. The full adder is compared

with the full adder which has the lowest power and the full adder which has the highest speed of the seven full adders used for comparison. The simulation results with microwind show that the full adder circuit requires a power consumption of 1.15 W. The designed full adder requires 6% percent less power than the 26 T N.B. full adder with 1.59 W power. The simulation results with cadence virtuoso show that the designed full adder has a delay value of 2 ns and 4 ns for the XOR gate and AND logic gate, respectively. Based on the delay calculation, the designed full adder has a speed of 44.44% higher than the 17 T full adder and 19 T full adder which has a delay value of 6 ns